

CA-IS305xC 5kV_{RMS} 隔离 CAN 收发器

1 产品特性

- 符合 ISO 11898-2 物理层标准
- 集成保护功能支持可靠的数据通信
 - 提供 3.75kV_{RMS}(DUB8)或 5kV_{RMS}(宽体 SOIC)隔离耐压
 - ±150kV/μs 典型 CMTI
 - 隔离栅寿命: > 40 年
 - CANH、CANL 总线引脚具有±55V 故障保护
 - ±30V 扩展共模输入范围(CMR)
 - 发送器超时检测避免总线闭锁, 允许最低传输速率为 5.5 kbps
 - 热关断
- 支持高达 1Mbps 经典 CAN 和 5Mbps 的 CAN FD (灵活数据速率)
- 超低延时: 165ns (典型值), 255ns (最大值)
- 3.0V 至 5.5V 逻辑侧供电范围, 可直接连接 3.3V 或 5V CAN 控制器
- 未上电时总线引脚为高阻态, 理想无源特性
- 较宽的工作温度范围: -40 °C 至 125 °C
- 提供 8 引脚、16 引脚宽体 SOIC 封装, 以及小尺寸 8 引脚 DUB 封装
- 安全认证 (申请中):
 - 根据 DIN EN IEC60747-17(VDE 0884-17):2021-10 的 VDE 认证
 - 根据 UL 1577 的 UL 认证
 - 根据 GB4843.1-2022 的 CQC 认证
 - 根据 EN61010-1:2010+A1 的 TUV 认证

2 典型应用

- 工业现场网络
- 楼宇自动化
- 安防系统
- 运输设备
- 医疗设备
- 电信系统
- HVAC

3 概述

CA-IS305xC 是一款隔离式控制器局域网(CAN)收发器, 符合 ISO11898-2 物理层技术规范。该系列器件内部的逻辑输入与输出缓冲器之间通过二氧化硅(SiO₂)绝缘栅隔离, 能够承受高达 5000V_{RMS} (60s)的隔离电压(宽体 SOIC 封装)以及±150kV/μs 的典型 CMTI。绝缘栅阻断了逻辑侧与总线侧的地环路, 有助于降低端口间地电势差较高的噪声, 确保数据的正确传输。

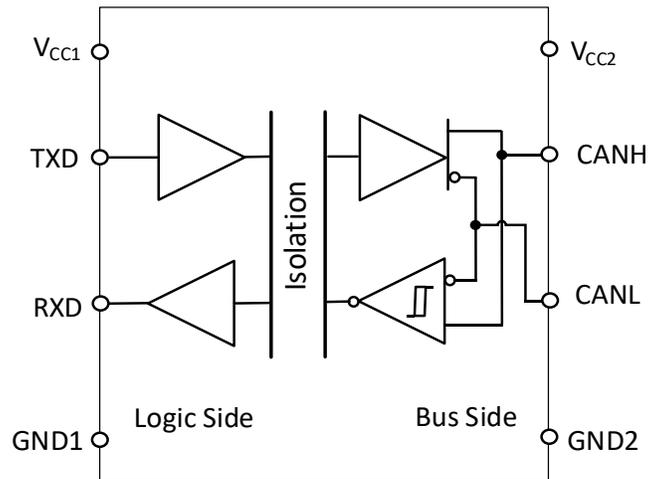
CA-IS305xC 在逻辑侧采用 3.0V 至+5.5V 单电源供电, 便于连接不同电压的 CAN 控制器。配合外部隔离电源, 即可构成完整的隔离 CAN 端口。收发器支持高达 5Mbps 的传输速率中, 并在发送器输出端提供限流保护、热保护以及±55V 的过压保护, 显性状态超时检测则可避免由于控制器错误或 TXD 输入故障而导致的总线闭锁。此外, 该系列器件的 CAN 接收器输入具有±30V 的共模输入范围(CMR), 远远超出 ISO 11898 规范定义的-2V 至+7V 范围。为系统提供可靠保护。

CA-IS3050、CA-IS3052 均可提供宽体 8 引脚宽体 SOIC 封装和 16 引脚宽体 SOIC 封装, 兼容多数工业标准的隔离 CAN 收发器; 此外, CA-IS3050 提供小尺寸、8 引脚 SOP 封装(DUB8), 额定隔离电压为 3750V_{RMS}。所有器件工作温度范围为-40°C 至 125°C。

器件信息

器件型号	封装	封装尺寸(标称值)
CA-IS3050CG	SOIC8-WB	5.85mm*7.50mm
CA-IS3052CG		
CA-IS3050CW	SOIC16-WB	10.30mm*7.50mm
CA-IS3052CW		
CA-IS3050CU	DUB8	6.35mm*9.20mm

简化功能框图



4 订购信息

表 4-1 有效订购器件型号

型号	V _{CC1} (V)	V _{CC2} (V)	传输速度 (Kbps)	电气隔离 (V _{RMS})	封装
CA-IS3050CG	3.0~5.5	4.5~5.5	1000	5000	SOIC8-WB
CA-IS3052CG	3.0~5.5	4.5~5.5	1000	5000	SOIC8-WB
CA-IS3050CW	3.0~5.5	4.5~5.5	1000	5000	SOIC16-WB
CA-IS3052CW	3.0~5.5	4.5~5.5	1000	5000	SOIC16-WB
CA-IS3050CU	3.0~5.5	4.5~5.5	1000	3750	DUB8

目录

1	产品特性	1	7.8	时序特性	10
2	典型应用	1	8	参数测试电路	11
3	概述	1	9	详细说明	15
4	订购信息	2	9.1	CAN 总线状态	15
5	修订历史	3	9.2	接收器	15
6	引脚功能描述	4	9.3	发送器	15
6.1	CA-IS3050x 引脚配置与功能描述	4	9.4	保护功能	16
6.2	CA-IS3052x 引脚配置与功能描述	5	9.4.1	信号隔离与保护.....	16
7	产品规格	6	9.4.2	热关断	16
7.1	绝对最大额定值 ¹	6	9.4.3	限流保护	16
7.2	ESD 额定值	6	9.4.4	发送器超时检测.....	16
7.3	建议工作条件.....	6	10	应用信息	17
7.4	隔离特性.....	7	11	封装信息	19
7.5	相关安全认证.....	8	12	焊接信息	22
7.6	热参数	9	13	卷带信息	23
7.7	电气特性.....	9	14	重要声明	24

5 修订历史

修订版本号	修订内容	修订日期	页码
Preliminary	初始版本	2024/05/07	N/A

6 引脚功能描述

6.1 CA-IS3050Cx 引脚配置与功能描述

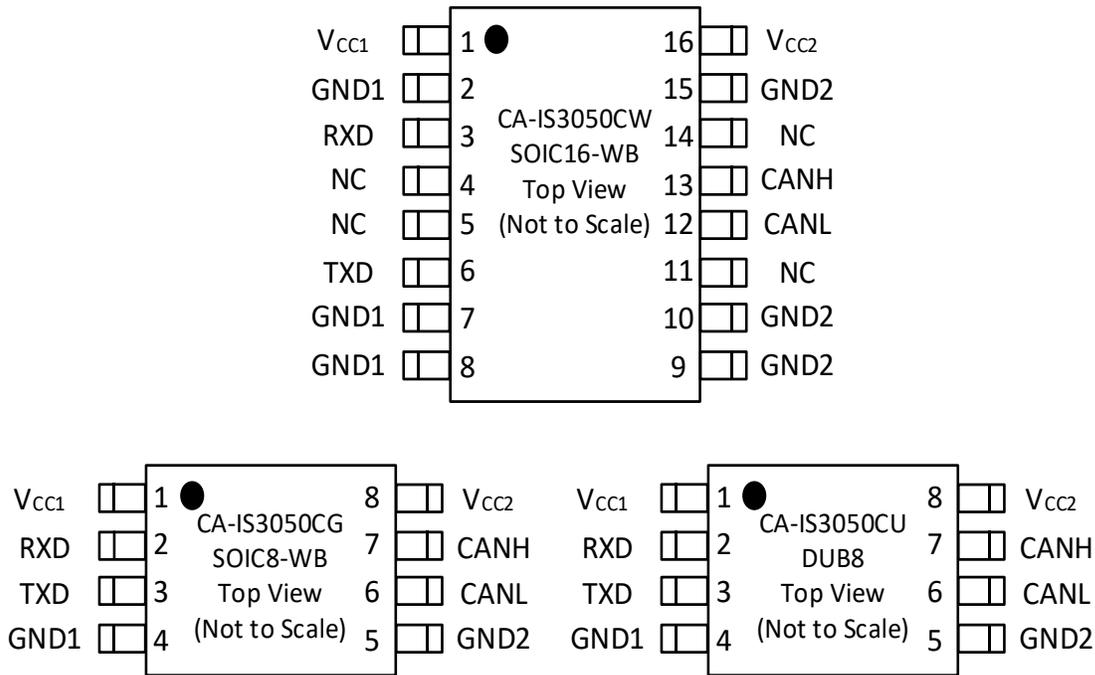


图 6-1 CA-IS3050 引脚配置

表 6.1-1 CA-IS3050 引脚功能描述

引脚名称	引脚编号		类型	描述
	SOIC16-WB	SOIC8-WB/DUB8		
V _{CC1}	1	1	电源	逻辑侧电源，为逻辑侧供电。在 V _{CC1} 与 GND1 之间外接一个至少 0.1μF 的旁路电容，电容需靠近电源引脚安装。
GND1	2, 7, 8	4	地	逻辑侧地，逻辑侧信号的地参考点。
RXD	3	2	数字 I/O	接收器数据输出端，总线为隐性状态时，RXD 输出高电平；总线为显性状态时，RXD 输出低电平。
NC	4, 5, 11, 14	-	-	浮空，请勿从外部连接这些引脚，应将其置于悬空状态。
TXD	6	3	数字 I/O	发送器数据输入端。当 TXD 为低电平时，CANH、CANL 输出为显性状态；当 TXD 为高电平时，CANH、CANL 输出为隐性状态。
GND2	9, 10, 15	5	地	总线侧地，GND2 是 CAN 总线侧信号的参考点。
CANL	12	6	总线 I/O	CAN 总线差分输入/输出，低电平逻辑端。
CANH	13	7	总线 I/O	CAN 总线差分输入/输出，高电平逻辑端。
V _{CC2}	16	8	电源	总线侧电源，为总线侧电路供电。在 V _{CC2} 与 GND2 之间外接一个至少 0.1μF 的旁路电容，电容需靠近电源引脚安装。

6.2 CA-IS3052Cx 引脚配置与功能描述

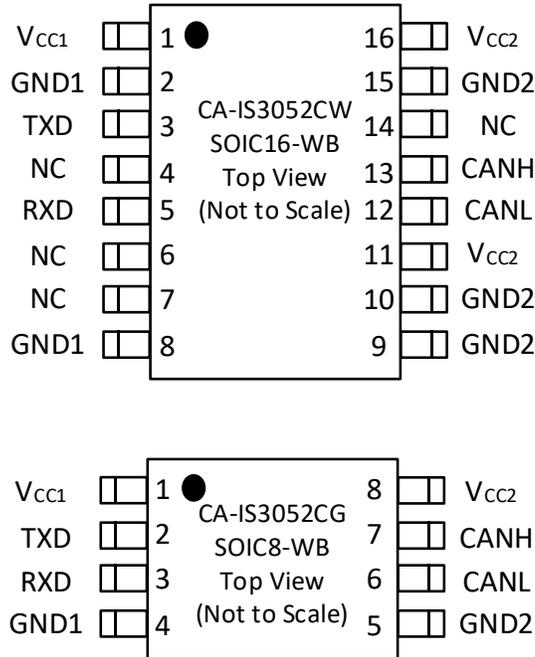


图 6-2 CA-IS3052 引脚配置

表 6.2-2 CA-IS3052 引脚功能描述

引脚名称	引脚编号		类型	描述
	SOIC16-WB	SOIC8-WB		
V _{CC1}	1	1	电源	逻辑侧电源，为逻辑侧供电。在 V _{CC1} 与 GND1 之间外接一个至少 0.1μF 的旁路电容，电容需靠近电源引脚安装。
GND1	2, 8	4	地	逻辑侧地，逻辑侧信号的地参考点。
TXD	3	2	数字 I/O	发送器数据输入端。当 TXD 为低电平时，CANH、CANL 输出为显性状态；当 TXD 为高电平时，CANH、CANL 输出为隐性状态。
NC	4, 6, 7, 14	-	-	浮空，请勿从外部连接这些引脚，应将其置于悬空状态。
RXD	5	3	数字 I/O	接收器数据输出端，总线为隐性状态时，RXD 输出高电平；总线为显性状态时，RXD 输出低电平。
GND2	9, 10, 15	5	地	总线侧地，GND2 是 CAN 总线信号的参考点。
CANL	12	6	总线 I/O	CAN 总线差分输入/输出，低电平逻辑端。
CANH	13	7	总线 I/O	CAN 总线差分输入/输出，高电平逻辑端。
V _{CC2}	11, 16	8	电源	总线侧电源，为总线侧电路供电。在 V _{CC2} 与 GND2 之间外接一个至少 0.1μF 的旁路电容，电容需靠近电源引脚安装。

7 产品规格

7.1 绝对最大额定值¹

参数		最小值	最大值	单位
V _{CC1} 或 V _{CC2}	电源电压 ²	-0.5	6.0	V
V _I	逻辑侧信号输入电压(TXD)	-0.5	V _{CC1} + 0.5 ³	V
V _{CANH} 或 V _{CANL}	总线侧信号电压(CANH, CANL)	-55	55	V
V _{CANH} 到 V _{CANL}	总线侧差分信号电压 V _{ID}	-55	55	
I _O	接收器输出电流	-15	15	mA
T _J	结温		150	°C
T _{STG}	存储温度范围	-65	150	°C

注:

- 工作条件等于或超出上述绝对最大额定值可能会导致器件永久性损坏。这里给出的是器件额定值，并非工作条件，不能据此推断产品能否正常工作。器件长期在超出最大额定值条件下工作会影响产品的可靠性，甚至导致产品损坏。
- 除总线差分输出/输入电压以外，所有电压值均相对于本地接地端（GND1 或 GND2），并且是峰值电压值。
- 最大电压不得超过 6 V。

7.2 ESD 额定值

		数值	单位
V _{ESD} 静电放电	人体模型 (HBM), 根据 ANSI/ESDA/JEDEC JS-001, CAN 总线(CANH, CANL)到 GND2 ¹	± 8000	V
	人体模型 (HBM), 根据 ANSI/ESDA/JEDEC JS-001, 所有其它引脚 ¹	± 4000	
	器件充电模型(CDM), 根据 JEDEC JESD22-C101, 所有引脚 ²	± 1500	

注:

- JEDEC 文件 JEP155 规定: 500V HBM 允许按照标准 ESD 控制过程进行安全生产。
- JEDEC 文件 JEP157 规定: 250V CDM 允许按照标准 ESD 控制过程进行安全生产。

7.3 建议工作条件

参数		最小值	典型值	最大值	单位
V _{CC1}	逻辑侧电源电压	3.0	3.3	5.5	V
V _{CC2}	总线侧电源电压	4.5	5	5.5	V
V _I 或 V _{IC}	总线引脚电压(单端或共模)	-30		30	V
V _{IH}	高电平输入电压	驱动器(TXD)			V
V _{IL}	低电平输入电压	驱动器(TXD)		0.3*V _{CC1}	V
V _{ID}	差分输入电压	-12		12	V
I _{OH}	输出电流@高电平	驱动器(Driver)			mA
		接收器(Receiver)		-4	
I _{OL}	输出电流@低电平	驱动器(Driver)		70	mA
		接收器(Receiver)		4	
T _A	环境温度	-40		125	°C
T _J	结温	-40		150	°C
P _D	总功耗	V _{CC1} = 5.5V, V _{CC2} = 5.25V, T _A = 125°C,		200	mW
P _{D1}	逻辑侧功耗	R _L = 60Ω, TXD 输入信号是 500 kHz 的方波(50%占空比)		25	mW
P _{D2}	总线侧功耗			175	mW
T _{J(shutdown)}	热关断温度 ¹			190	°C

注:

- 工作温度超出热关断温度可能影响器件的可靠性。

7.4 隔离特性

参数		测试条件	数值		单位
			W/G	U	
CLR	外部气隙(间隙) ¹	测量输入端至输出端, 隔空最短距离	8	6.1	mm
CPG	外部爬电距离 ¹	测量输入端至输出端, 沿壳体最短距离	8	6.8	mm
DTI	隔离距离	最小内部间隙(内部距离)	28	28	μm
CTI	相对漏电指数	DIN EN 60112 (VDE 0303-11); IEC 60112	>600	>600	V
	材料组	依据 IEC 60664-1	I	I	
	IEC 60664-1 过压类别	额定市电电压 ≤ 150 V _{RMS}	I-IV	I-IV	
		额定市电电压 ≤ 300 V _{RMS}	I-IV	I-III	
		额定市电电压 ≤ 600 V _{RMS}	I-IV	N/A	
		额定市电电压 ≤ 1000 V _{RMS}	I-III	N/A	
DIN V VDE V 0884-17:2021-10²					
V _{IORM}	最大重复峰值隔离电压	交流电压(双极)	1414	566	V _{PK}
V _{IOWM}	最大工作隔离电压	交流电压; 时间相关的介质击穿 (TDDb) 测试	1000	400	V _{RMS}
		直流电压	1414	566	V _{DC}
V _{IOTM}	最大瞬态隔离电压	V _{TEST} = V _{IOTM} , t = 60 s (认证); V _{TEST} = 1.2 × V _{IOTM} , t = 1 s (100% 产品测试)	7070	5300	V _{PK}
V _{IOSM}	最大浪涌隔离电压 ³	测试方法 依据 IEC62368-1, 1.2/50 μs 波形, V _{TEST} = 1.6 × V _{IOSM} (认证, SOIC16-WB 和 SOIC8-WB) V _{TEST} = 1.3 × V _{IOSM} (认证, DUB8)	8000(CA-S3052) 6250(CA-S3050)	4070 (CA-IS3050)	V _{PK}
q _{pd}	表征电荷 ⁴	方法 a, 输入/输出安全测试子类 2/3 后, V _{ini} = V _{IOTM} , t _{ini} = 60 s; V _{pd(m)} = 1.2 × V _{IORM} , t _m = 10 s	≤5	≤5	pC
		方法 a, 环境测试子类 1 后, V _{ini} = V _{IOTM} , t _{ini} = 60 s; V _{pd(m)} = 1.6 × V _{IORM} , t _m = 10 s (SOIC8-WB 和 SOIC16-WB) V _{pd(m)} = 1.3 × V _{IORM} , t _m = 10 s (DUB8)	≤5	≤5	
		方法 b1, 常规测试 (100% 生产测试) 和前期 预处理 V _{ini} = 1.2 × V _{IOTM} , t _{ini} = 1 s; V _{pd(m)} = 1.875 × V _{IORM} , t _m = 1 s (认证, SOIC8-WB 和 SOIC16-WB) V _{pd(m)} = 1.5 × V _{IORM} , t _m = 1 s (认证, DUB8)	≤5	≤5	
C _{IO}	栅电容, 输入到输出 ⁵	V _{IO} = 0.4 × sin(2πft), f = 1 MHz	~0.5	~0.5	pF
R _{IO}	绝缘电阻 ⁵	V _{IO} = 500 V, T _A = 25°C	>10 ¹²	>10 ¹²	Ω
		V _{IO} = 500 V, 100°C ≤ T _A ≤ 125°C	>10 ¹¹	>10 ¹¹	
		V _{IO} = 500 V at T _S = 150°C	>10 ⁹	>10 ⁹	
	污染度		2	2	
UL 1577					
V _{ISO}	最大隔离电压	V _{TEST} = V _{ISO} , t = 60 s (认证), V _{TEST} = 1.2 × V _{ISO} , t = 1 s (100% 生产测试)	5000	3750	V _{RMS}
注: 1. 爬电距离和间隙要求应根据具体应用中特定设备的隔离标准。电路板设计应注意保持爬电和间隙距离, 确保隔离器在印刷电路板上的焊盘不会缩短此距离。印刷电路板上的爬电距离与间隙在某些情况下是相同的。通过在电路板上插入凹槽可以增大这些距离指标。 2. 该标准仅适用于最大工作额定值范围内的安全电气隔离, 应通过适当的保护电路确保遵守安全等级要求。 3. 测试在空气或油中进行, 以确定隔离层固有的浪涌抑制。 4. 表征电荷是由局部放电引起的放电电荷(pd)。 5. 绝缘栅两侧的所有引脚连接在一起, 构成双端器件。					

7.5 相关安全认证（申请中）

VDE	UL	CQC	TUV
根据 DIN EN IEC60747-17(VDE 0884-17):2021-10; EN IEC60747-17:2020+AC:2021 认证	UL1577 器件程序认证	GB4943.1-2022 认证	根据 EN61010-1:2010+A1 认证
CA-IS3052(W/G,增强隔离) 最大瞬态隔离电压: 7070V _{pk} 最大重复峰值隔离电压: 1414V _{pk} 最大浪涌隔离电压: 8000V _{pk} CA-IS3050(W/G,基本隔离) (此外, 增强隔离在申请中) 最大瞬态隔离电压: 7070V _{pk} 最大重复峰值隔离电压: 1414V _{pk} 最大浪涌隔离电压: 6250V _{pk} CA-IS3050(U,基本隔离) 最大瞬态隔离电压: 5300V _{pk} 最大重复峰值隔离电压: 566V _{pk} 最大浪涌隔离电压: 4070V _{pk}	SOIC8-WB: 5000 V _{RMS} ; SOIC16-WB: 5000 V _{RMS} DUB8: 3750V _{RMS}	SOIC16-WB:增强隔离(仅适 用于海拔 5000 米及以下)	SOIC8-WB: 5000 V _{RMS} ; SOIC16-WB: 5000 V _{RMS} DUB8: 3750V _{RMS}

7.6 热参数

热参数		SOIC8-WB	SOIC16-WB	DUB8	单位
$R_{\theta JA}$	芯片结到环境的热阻	110.1	86.5	73.3	$^{\circ}\text{C}/\text{W}$
$R_{\theta JC(\text{top})}$	芯片结到壳(顶部)的热阻	51.7	49.6	63.2	$^{\circ}\text{C}/\text{W}$
$R_{\theta JB}$	芯片结到板的热阻	66.4	49.7	43.0	$^{\circ}\text{C}/\text{W}$
ψ_{JT}	芯片结到顶部的特征参数	16.0	32.3	27.4	$^{\circ}\text{C}/\text{W}$
ψ_{JB}	芯片结到板的特征参数	64.5	49.2	42.7	$^{\circ}\text{C}/\text{W}$
$R_{\theta JC(\text{bottom})}$	芯片结到壳(底部)的热阻	n/a	n/a	n/a	$^{\circ}\text{C}/\text{W}$

7.7 电气特性

除非另有说明, 所有电压均参照其各自的地, $3\text{V} \leq V_{CC1} \leq 5.5\text{V}$, $4.5\text{V} \leq V_{CC2} \leq 5.5\text{V}$ 。所有最小值 / 最大值规格适用于整个推荐条件工作范围。除非另有说明, 所有典型规格在 $T_A = 25^{\circ}\text{C}$ 、 $V_{CC1} = V_{CC2} = 5\text{V}$ 情况下测得。

参数		测试条件	最小值	典型值	最大值	单位	
供电电压							
V_{CC1_UVLO+}	UVLO 芯片上电启动电压	V_{CC1}	2.55	2.7	2.85	V	
V_{CC1_UVLO-}	UVLO 芯片掉电复位电压	V_{CC1}	2.35	2.5	2.65		
V_{CC2_UVLO+}	UVLO 芯片上电启动电压	V_{CC2}	3.9	4.2	4.45		
V_{CC2_UVLO-}	UVLO 芯片掉电复位电压	V_{CC2}	3.8	4.0	4.35		
供电电流							
I_{CC1}	逻辑侧供电电流	$V_I = V_{CC1}$, $V_{CC1} = 3.3\text{V}$		1.8	2.8	mA	
		$V_I = 0\text{V}$, $V_{CC1} = 5\text{V}$		3	4		
I_{CC2}	总线侧供电电流	显性	$V_I = 0\text{V}$, $R_L = 60\ \Omega$	44	73	mA	
		隐性	$V_I = V_{CC1}$	3	12		
驱动器							
$V_{O(D)}$	总线输出电压(显性)	CANH	$V_I = 0\text{V}$, $R_L = 60\ \Omega$; 见图 8-1、图 8-2	2.75	3.4	4.5	V
		CANL		0.5		2.25	
$V_{O(R)}$	总线输出电压(隐性)		$V_I = 2\text{V}$, $R_L = 60\ \Omega$; 见图 8-1、图 8-2	2	2.5	3	V
$V_{OD(D)}$	差分输出电压(显性)		$V_I = 0\text{V}$, $R_L = 60\ \Omega$; 见图 8-1、图 8-2 图 8-3	1.5		3	V
			$V_I = 0\text{V}$, $R_L = 45\ \Omega$; 见图 8-1、图 8-2	1.4		3	V
$V_{OD(R)}$	差分输出电压(隐性)		$V_I = 3\text{V}$, $R_L = 60\ \Omega$; 见图 8-1、图 8-2	-12		12	mV
			$V_I = 3\text{V}$, 无负载; 见图 8-1、图 8-2	-0.05		0.05	V
$V_{OC(D)}$	共模输出电压(显性)		见图 8-7	2	2.5	3	V
$V_{OC(pp)}$	共模输出电压峰峰值		见图 8-7		0.3		V
I_{IH}	高电平输入电流, TXD 输入		$\text{TXD} = V_{CC1}$			20	μA
I_{IL}	低电平输入电流, TXD 输入		$\text{TXD} = 0\text{V}$	-20			μA
$I_{OS(SS)}$	短路输出电流		$\text{TXD} = \text{低}$, $V_{CANH} = -30\text{V}$, CANL 开路; 见图 8-10	-105	-67		mA
			$\text{TXD} = \text{高}$, $V_{CANH} = 30\text{V}$, CANL 开路; 见图 8-10		1.25	5	
			$\text{TXD} = \text{高}$, $V_{CANL} = -30\text{V}$, CANH 开路; 见图 8-10	-5	-1.25		
			$\text{TXD} = \text{低}$, $V_{CANL} = 30\text{V}$, CANH 开路; 见图 8-10		83	105	
接收器							
V_{IT+}	高电平输入阈值电压		$-20\text{V} \leq V_{CM} \leq 20\text{V}$			0.9	V
V_{IT-}	低电平输入阈值电压			0.5			V
V_{IT+}	高电平输入阈值电压		$-30\text{V} \leq V_{CM} \leq -20\text{V}$			1.0	V
V_{IT-}	低电平输入阈值电压			0.4			V

V _{HYS}	输入电压迟滞窗口		120		mV
V _{OH}	逻辑高电平输出电压, V _{CC1} = 5 V	I _{OH} = -4 mA; 图 8- 5	V _{CC1} - 0.4	4.8	V
		I _{OH} = -20 μA; 图 8- 5	V _{CC1} - 0.1	5	
V _{OH}	逻辑高电平输出电压, V _{CC1} = 3.3 V	I _{OH} = -4 mA; 图 8- 5	V _{CC1} - 0.4	3.1	V
		I _{OH} = -20 μA; ; 图 8- 5	V _{CC1} - 0.1	3.3	
V _{OL}	逻辑低电平输出电压	I _{OL} = 4 mA; 图 8- 5		0.2 0.4	V
		I _{OL} = 20 μA; 图 8- 5		0 0.1	
C _I	CANH、CANL 对地输入电容	TXD 为 3V, VI = 0.4xsin(2πft) + 2.5 V, f = 1MHz		20	pF
C _{ID}	差分输入电容	TXD 为 3V, VI = 0.4xsin(2πft), f = 1MHz		10	pF
R _{IN}	CANH、CANL 输入电阻	TXD 为 3V	15	40	kΩ
R _{ID}	差分输入电阻	TXD 为 3V	30	80	kΩ
R _{I(m)}	输入电阻匹配(1 - [R _{IN(CANH)} / R _{IN(CANL)}])	V _{CANH} = V _{CANL}	-5%	0%	5%
CMTI	共模瞬态抑制	V _I = 0 V 或者 V _{CC1} ; 见图 8- 12	100	150	kV/μs

7.8 时序特性

除非另有说明, 所有电压均参照其各自的地, 3 V ≤ V_{CC1} ≤ 5.5 V, 4.5 V ≤ V_{CC2} ≤ 5.5 V。所有最小 / 最大值规格适用于整个建议工作范围。除非另有说明, 所有典型规格在 T_A = 25°C、V_{CC1} = V_{CC2} = 5 V 情况下测得。

参数	测试条件	最小值	典型值	最大值	单位	
收发器						
t _{loop1}	总环路延时, 驱动器输入到接收器输出, 隐性到显性	见图 8- 8	165	255	ns	
t _{loop2}	总环路延时, 驱动器输入到接收器输出, 显性到隐性		185	255		
驱动器						
t _{PLH}	传播延时, 输出从隐性变为显性	见图 8- 1、图 8- 2、图 8- 4	85	140	ns	
t _{PHL}	传播延时, 输出从显性变为隐性		65	110		
t _r	差分输出信号上升时间		45	70		
t _f	差分输出信号下降时间		60	100		
t _{TXD_DTO} ¹	显性超时时间	C _L = 100 pF; 见图 8- 9	2	5	8	ms
接收器						
t _{PLH}	传播延时, 输出由低电平变为高电平	见图 8- 6	75	145	ns	
t _{PHL}	传播延时, 输出由高电平变为低电平		95	165		
t _r	输出信号上升时间		2.5			
t _f	输出信号下降时间		2.5			
CAN FD 时序						
T _{bit(BUS)}	传输隐性位宽	R _L = 60Ω, C _{LD} = 100pF, C _L = 15pF, 见图 8- 11	T _{bit(TXD)} = 500ns	435	530	ns
T _{bit(RXD)}	RXD 引脚位宽		T _{bit(TXD)} = 200ns	155	210	
			T _{bit(TXD)} = 500ns	400	550	
Δt _{rec} ²	脉冲偏差		T _{bit(TXD)} = 200ns	120	220	
			T _{bit(TXD)} = 500ns	-65	40	
			T _{bit(TXD)} = 200ns	-45	15	
注:						
1. 一旦驱动器进入显性的时间超过 t _{TXD_DTO} , 显性超时功能会关断驱动器从而释放总线进入隐性状态, 防止总线被本地节点锁死而一直处于显性状态。驱动器只有进入隐性状态后才能恢复显性电平的传输功能。						
2. Δt _{rec} = T _{bit(RXD)} - T _{bit(BUS)}						

8 参数测试电路

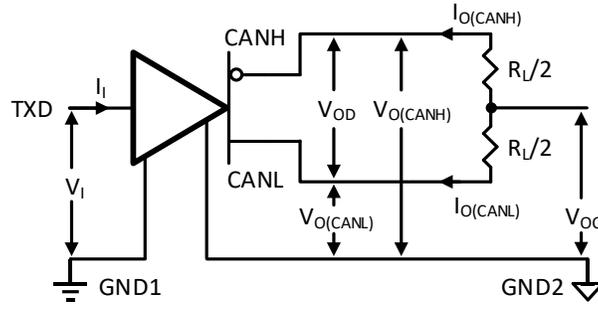


图 8-1 驱动器电压、电流指标定义

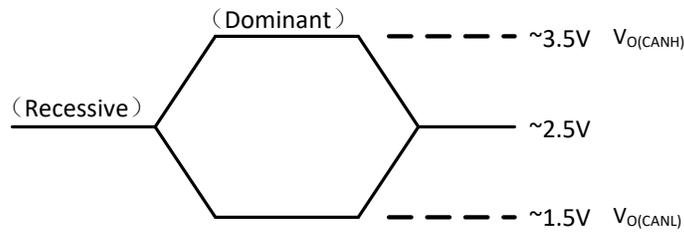
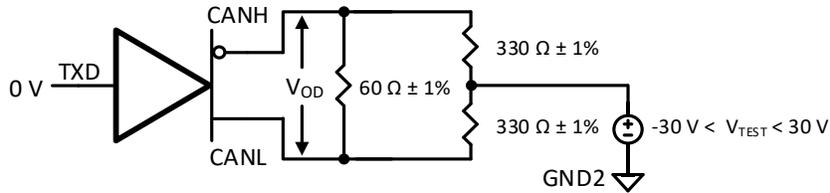
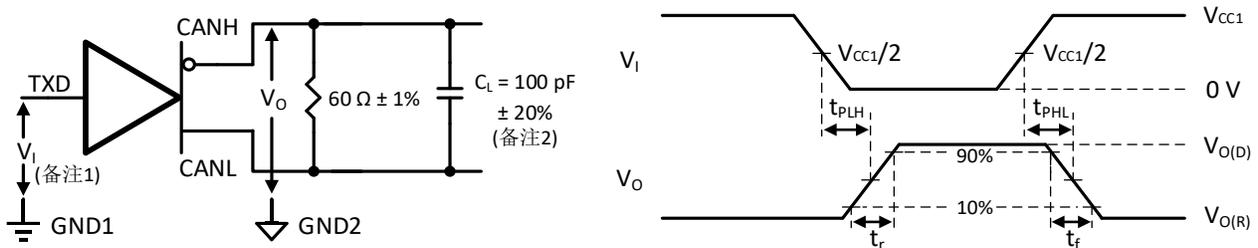


图 8-2 总线逻辑状态的电压定义


 图 8-3 驱动器 V_{OD} 电压测试电路(带共模负载)


注:

1. 信号源产生的输入脉冲有如下要求: 脉冲重复率 $PRR \leq 125 \text{ kHz}$, 50% 占空比, 上升时间 $t_r \leq 6 \text{ ns}$, 下降时间 $t_f \leq 6 \text{ ns}$, 输出阻抗 $Z_o = 50 \Omega$;
2. 负载电容 C_L 包括仪器和夹具的寄生电容。

图 8-4 驱动器测量电路和电压波形

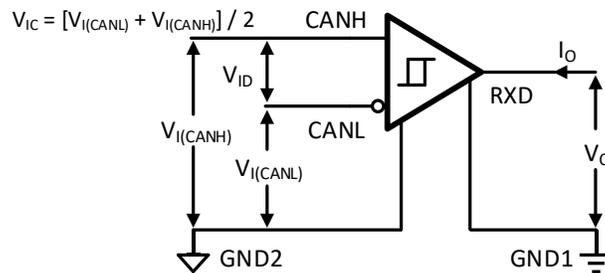
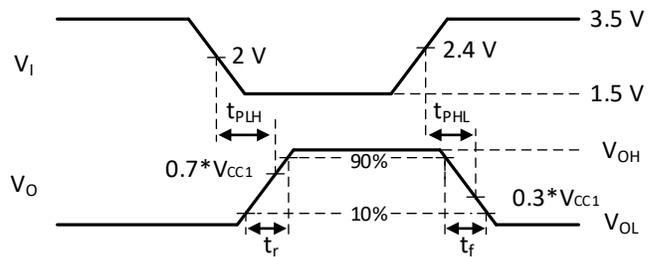
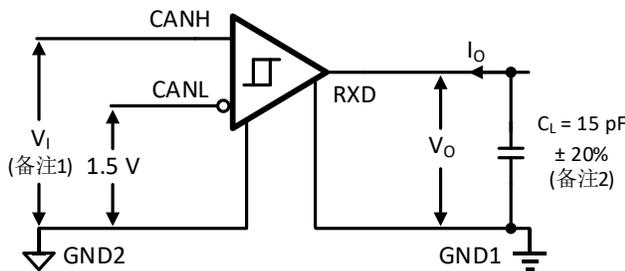


图 8-5 接收器输出电压、电流测试条件



注:

1. 信号源产生的输入脉冲有如下要求: 脉冲重复率 $PRR \leq 125 \text{ kHz}$, 50% 占空比, 上升时间 $t_r \leq 6 \text{ ns}$, 下降时间 $t_f \leq 6 \text{ ns}$, 输出阻抗 $Z_o = 50 \Omega$;
2. 负载电容 C_L 包括仪器和夹具的寄生电容。

图 8-6 接收器测量电路和电压波形

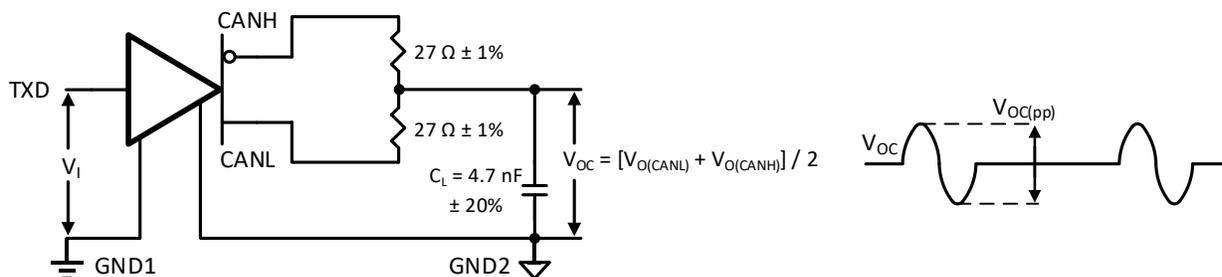


图 8-7 驱动器输出电压峰值测量电路和波形

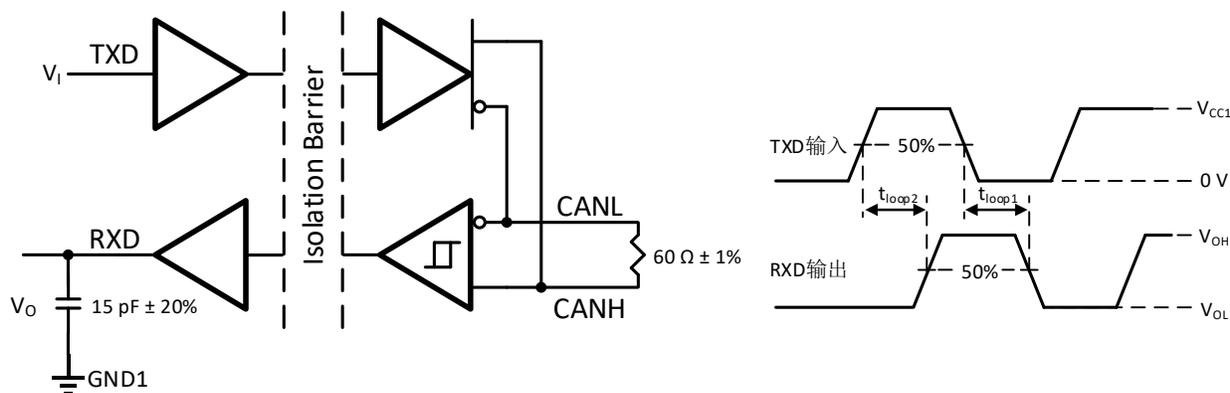
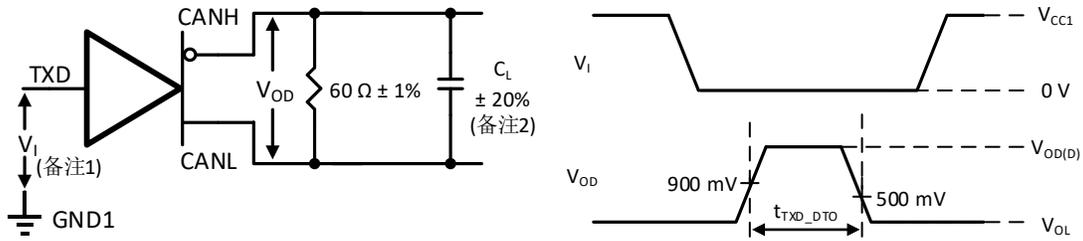


图 8-8 TXD --- RXD 环路延时



- 注:
1. 信号源产生的输入脉冲有如下要求: 脉冲重复率 $PRR \leq 125 \text{ kHz}$, 50%占空比, 上升时间 $t_r \leq 6 \text{ ns}$, 下降时间 $t_f \leq 6 \text{ ns}$, 输出阻抗 $Z_o = 50 \Omega$;
 2. 负载电容 C_L 包括仪器和夹具的寄生电容。

图 8-9 显性超时功能测量电路和电压波形

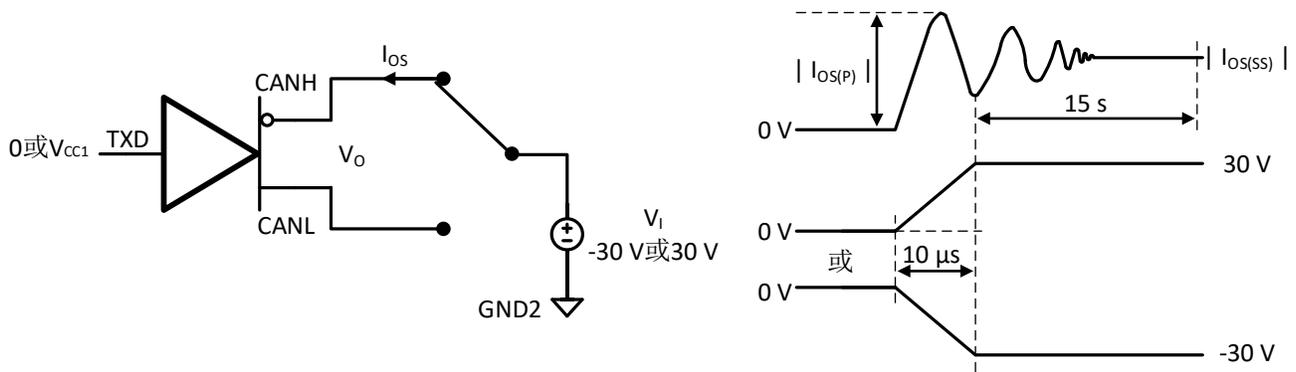


图 8-10 输出短路电流测量电路和波形

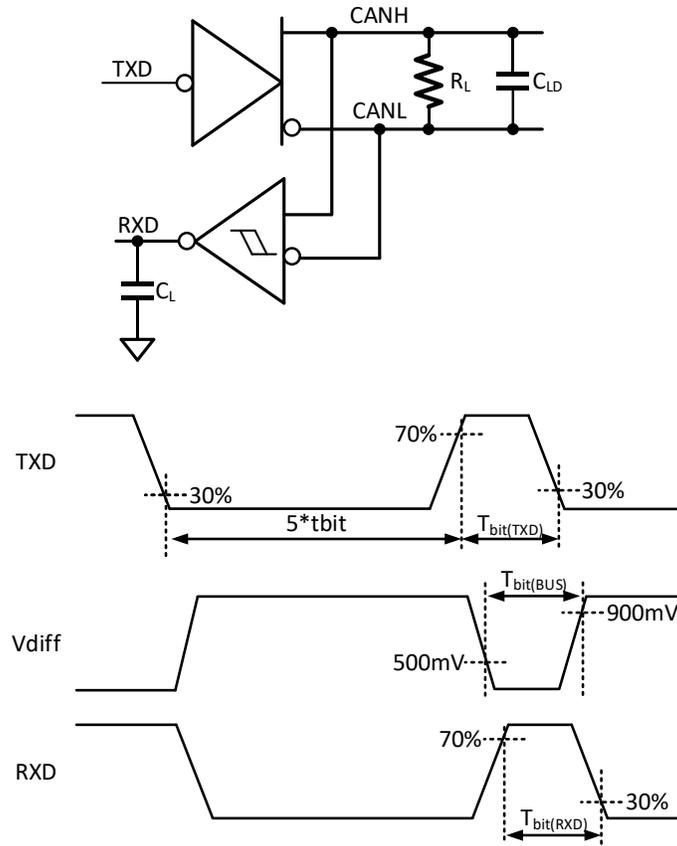


图 8-11 CAN FD 时序示意图

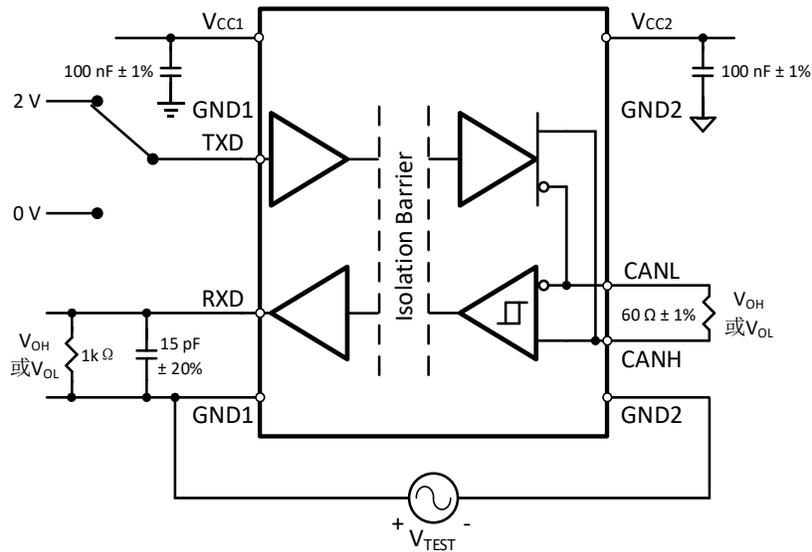


图 8-12 共模瞬态抑制(CMTI)测量电路

9 详细说明

CA-IS305xC 隔离型控制局域网(CAN)收发器在总线侧与控制器侧(逻辑侧)提供高达 $3.75kV_{RMS}$ (SOP8 封装)或 $5kV_{RMS}$ (宽体 SOIC 封装)的电气隔离。这款器件具有 $150kV/\mu s$ 的共模瞬态抑制, 允许速率高达 5Mbps 的数据跨过绝缘栅传输。可靠的隔离特性和高速通信能力使得 CA-IS305xC 确保在嘈杂环境下实现可靠的数据传输, 适用于逆变器、HVAC、电机驱动、PLC 通信模块、EV 充电桩等宽泛的工业应用。CA-IS305xC 在逻辑侧可以接受 3.0V 至 5.5V 的供电电压范围(V_{CC1}), 方便连接工作在不同电压的 CAN 控制器, 无需额外的电平转换器。总线侧则采用独立的 4.5V 至 5.5V 隔离电源供电 (V_{CC2})。CA-IS305xC 的接收器输入端允许 $\pm 30V$ 共模输入, 远远超出 ISO 11898 规范定义的 -2V 至 +7V 范围; 总线引脚 CANH、CANL 可承受高达 $\pm 55V$ 的故障电压, 为系统提供有效的过压保护。此外, 当输出级发生短路故障时, 发送器的限流保护电路即刻将器件置于保护状态, 而热关断保护则在检测到器件过热时, 将发送器输出强制于高阻态, 避免器件产生过大功耗。发送器超时检测电路用于防止总线闭锁。

9.1 CAN 总线状态

CAN 总线具有两个逻辑状态: 显性状态和隐性状态。显性状态下(代表“0”数据位, 用于确定信息发送的优先级), CANH-CANL 之间的差分电压介于 1.5V 至 3V(高于 0.9V), 该状态对应于 TXD/RXD 的逻辑“0”; 隐性状态下(代表“1”数据位, 总线空闲状态), 总线通过内部电阻拉至总线侧电源 $V_{CC2}/2$, CANH-CANL 之间的差分电压介于 -120mV 至 +12mV, 或接近 0V(低于 0.5V, 取决于总线负载), 对应于 TXD/RXD 的逻辑“1”, 详见图 8-2。

9.2 接收器

接收器将总线的差分输入(CANH 和 CANL)转换成 CAN 控制器需要的单端输出信号 RXD, 内部比较器检测差分电压 $V_{DIFF} = (V_{CANH} - V_{CANL})$, 门限电压约为 0.7V。如果 $V_{DIFF} > 0.9V$, 则在 RXD 引脚输出逻辑低电平; 如果 $V_{DIFF} < 0.5V$, RXD 输出逻辑高电平。CANH、CANL 的共模输入电压范围为 $\pm 30V$ 。当 CANH、CANL 短路, 或处于空闲状态时, RXD 输出高电平, 详见表 9-1。

表 9-1 接收器真值表

$V_{ID} = V_{CANH} - V_{CANL}$	总线状态	RXD
$V_{ID} \geq 0.9V$	显性	低电平
$0.5V < V_{ID} < 0.9V$	不确定	不确定
$V_{ID} \leq 0.5V$	隐性	高电平
开路($V_{ID} \approx 0V$)	开路	高电平

9.3 发送器

发送器将来自 CAN 控制器的单端输入信号 (TXD) 转换成差分输出 CANH、CANL, 真值表如表 9-2 所示。内部发送器超时检测确保显性电平未超出 t_{TXD_DTO} 的前提下, 收发器处于正常工作状态。CANH、CANL 输出具有短路限流保护, 热关断则进一步限制器件的最大功耗。

表 9-2 发送器真值表

V_{CC1}	V_{CC2}	输入	TXD 低电平时间	输出		总线状态
		TXD		CANH	CANL	
上电	上电	L	$< t_{TXD_DTO}$	H	L	显性
		L	$> t_{TXD_DTO}$	$V_{CC2}/2$	$V_{CC2}/2$	隐性
		H 或开路	X	$V_{CC2}/2$	$V_{CC2}/2$	隐性
上电	断电	X	X	Hi-Z	Hi-Z	Hi-Z
断电	上电	X	X	$V_{CC2}/2$	$V_{CC2}/2$	隐性

注:

1. X = 无关; H = 高电平; L = 低电平; Hi-Z = 高阻。
2. TXD 输入具有内部弱上拉。

9.4 保护功能**9.4.1 信号隔离与保护**

CA-IS305xC 器件内部集成数字隔离器，采用川土微电子的电容隔离技术，内部开/关键控(OOK)调制器在两个不同的电源域传输数字信号，两个电源域之间通过二氧化硅(SiO₂)绝缘层隔离。其中，数字隔离发送器对于一个逻辑输入状态(比如，逻辑“1”)向隔离侧发送高频载波，而对于另一逻辑状态(逻辑“0”)则不向隔离侧传送任何信号；在隔离器的接收端，将跨越绝缘层的高频载波信号转换为逻辑“1”，而没有高频信号时，则产生逻辑“0”。由此，在隔离侧解调并复原来自控制器或总线的接收信号，实现逻辑侧与总线侧高达 5kV_{RMS} 的电气隔离(宽体 SO 封装器件)。总线侧的 CAN 收发器实现 CAN 总线差分信号与单端逻辑信号的转换。此外，总线侧的发送器输出/接收器输入可承受±8kV 的 ESD 保护(人体模式)。

9.4.2 热关断

CA-IS305xC 内部集成热关断保护，当器件的结温超出热关断门限 $T_{J(\text{shutdown})}$ (190°C, 典型值)时，将关闭驱动器，阻断驱动器输出 TXD 与总线的连接。热关断期间，CAN 总线偏置在隐性电平，接收器则保持有效工作状态。一旦结温降低到正常工作范围，器件自动退出热关断，恢复正常工作。

9.4.3 限流保护

CA-IS305xC 器件的发送器还提供输出短路保护，一旦发生输出短路到电源或短路到地的故障时，驱动器将限制输出电流。当然，由于此时处于最大限流状态，有可能消耗较大的电源电流，而热关断功能为输出短路提供了二次防护。一旦短路故障解除，发送器将退出限流保护而进入有效工作状态。

9.4.4 发送器超时检测

CA-IS305xC CAN 收发器具有显性超时检测功能，超时时间为 $t_{\text{TXD_DTO}}$ ，由此防止由于 CAN 控制器故障而将总线钳制在低电平(总线为显性状态)。当 TXD 保持在显性状态对应电平(低电平)的时间超出 $t_{\text{TXD_DTO}}$ 时，器件将关闭发送器，将总线释放到隐性状态。超时故障解除后，在 TXD 收到的信号上升沿重新使能发送器，收发器恢复正常工作。发送器超时周期限制了 CA-IS305xC 的最小数据传输速率，按照 CAN 总线通信协议，允许在最差工作环境下，连续发送 11 个显性位，据此可以估算出 CA-IS305xC 所允许的最低速率是： $11\text{bits}/t_{\text{TXD_DTO}} = 11/2\text{ms} = 5.5\text{kbps}$ ，即将 CA-IS305xC 的最低速率限制在 5.5kbps。

10 应用信息

CAN 接口由于其灵活的优先级管理和出色的仲裁能力而广泛用于工业领域，而多数工厂自动化系统工作在不同的电源域，隔离成为必要的选项，为低压侧工作的器件提供必要保护。CA-IS305xC 成为此类应用的理想选择，不仅提供信号隔离，而且集成了隔离电源，只需外部少数的几个电源旁路电容，即可构成完整的隔离接口，如图 10-1 典型应用电路所示。

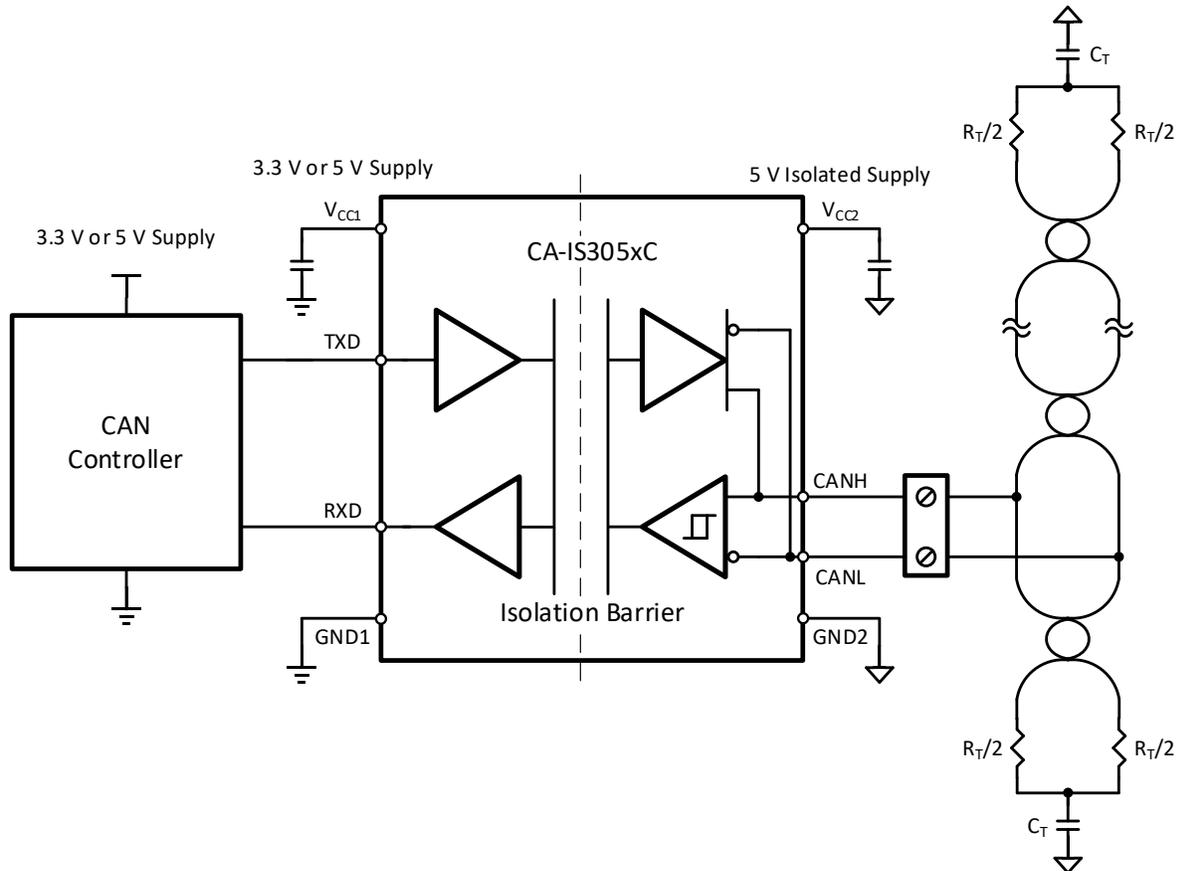


图 10-1 基于 CA-IS305xC 的典型隔离式 CAN 节点

CA-IS305xC 能够支持高达 5Mbps 的数据传输速率，当然，总线网络的最高速率还受限于总线负载、节点数、电缆长度以及匹配等因素。设计 CAN 总线网络时，必须考虑信号在电缆上的传输损耗、寄生负载、延时、网络的不均衡性、地电位偏差以及信号完整性，因此，实际系统中的最高速率、最远传输距离常常低于理论值。根据 ISO11898 标准，CAN 总线的最高节点数为 30，考虑到 CA-IS305xC 较高的输入阻抗(最小值为 30kΩ)，并且驱动器能够在 60Ω 总线负载时提供最小 1.5V 的差分驱动电压(45Ω 总线负载下提供至少 1.4V 差分输出)，通过谨慎设计网络布局，可以允许多达 110 个节点挂接在同一 CAN 总线上。

在多节点 CAN 总线网络中，保持线路阻抗均匀非常重要，由此需要提供适当的终端匹配。网络拓扑不能使用星形、树形或环形拓扑，在网络相距最远的两个端点之间挂接任何一个节点都会产生一个“接头”，而高速信号在这些电缆“接头”上将产生信号反射，在总线上引入干扰。设计中，需要使用尽可能短的电缆挂接每个节点，尤其是对于高速传输网络。图 10-2 给出了 CAN 总线的典型拓扑，在总线的两个端点可采用单个 120Ω 电阻(R_T)匹配总线；如果需要增加共模滤波，也可以将其分隔成两个 60Ω 的电阻进行终端匹配，如图 10-2 所示。

建议在隔离器下方保留一个远离地线和信号线的隔离通道，电缆侧和逻辑侧之间的任何电气连接或金属连接，都会降低隔离度。为确保器件在任何数据速率下可靠工作，建议在 V_{CC1} 与 $GND1$ 、 V_{CC2} 与 $GND2$ 之间分别外接一个至少 $0.1\mu\text{F}$ 的低 ESR 去耦电容，并且，电容器应紧靠器件相应的电源引脚放置。

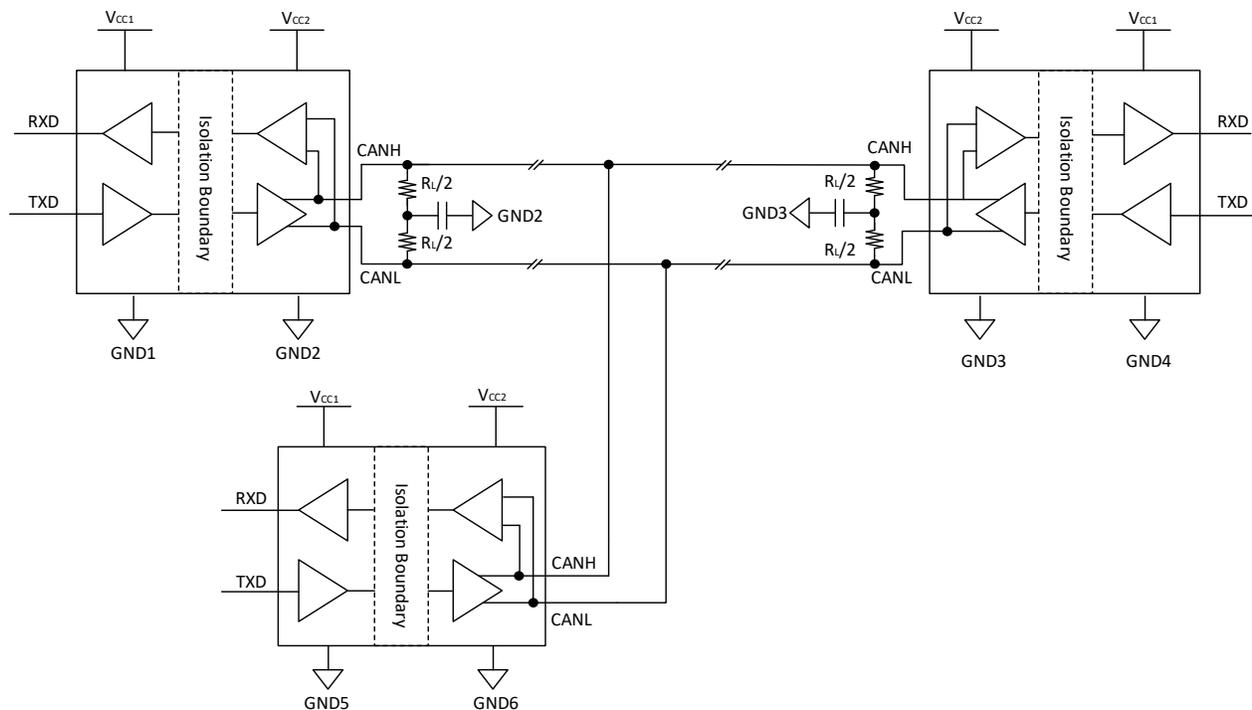


图 10-2 基于 CA-IS305xC 的典型 CAN 总线拓扑

11 封装信息

SOIC8-WB 外形尺寸

下图说明了 CA-IS305xC 系列隔离式 CAN 收发器采用 SOIC8-WB 封装大小尺寸图和建议焊盘尺寸图。尺寸以毫米为单位。

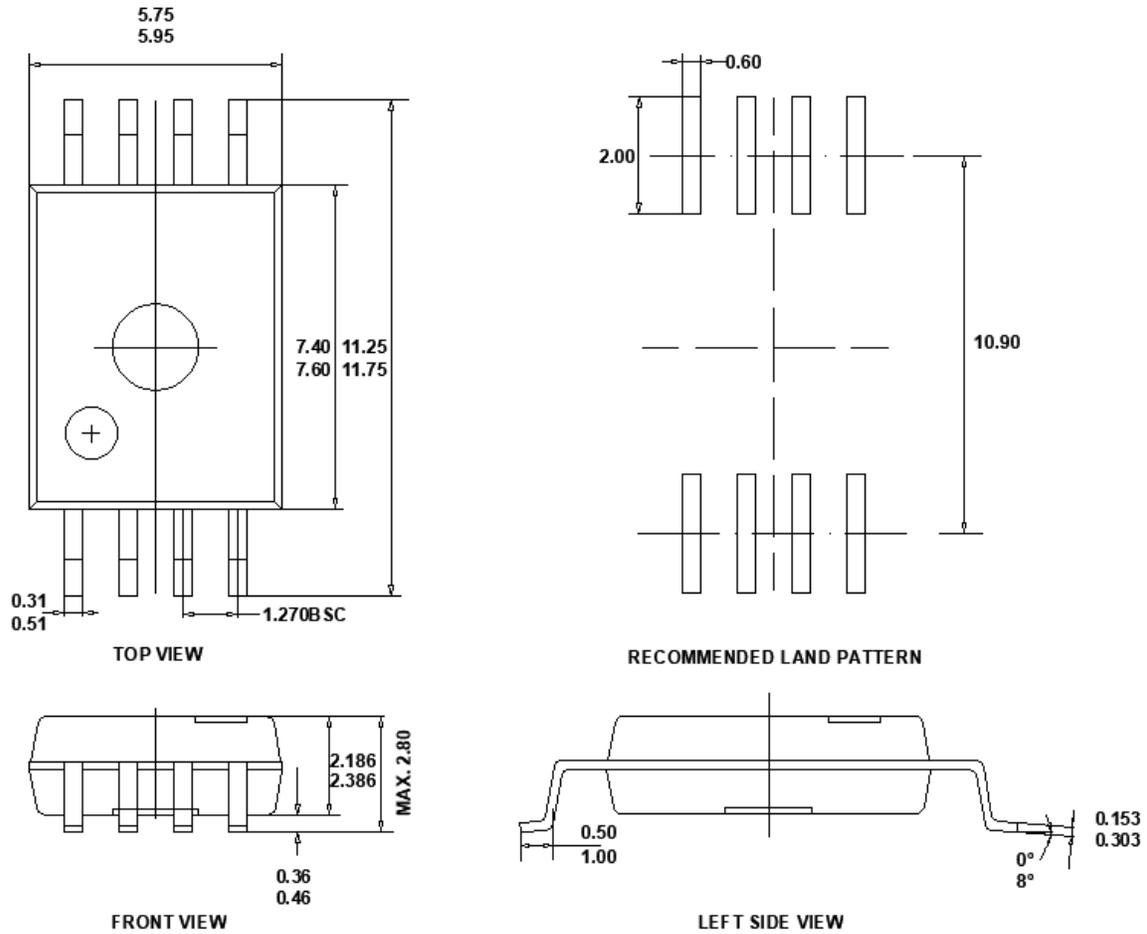


图 11-1 SOIC8-WB 外形尺寸

DUB8 外形尺寸

下图说明了 CA-IS3050CU 隔离式 CAN 收发器采用 DUB8 封装大小尺寸图和建议焊盘尺寸图。尺寸以毫米为单位。

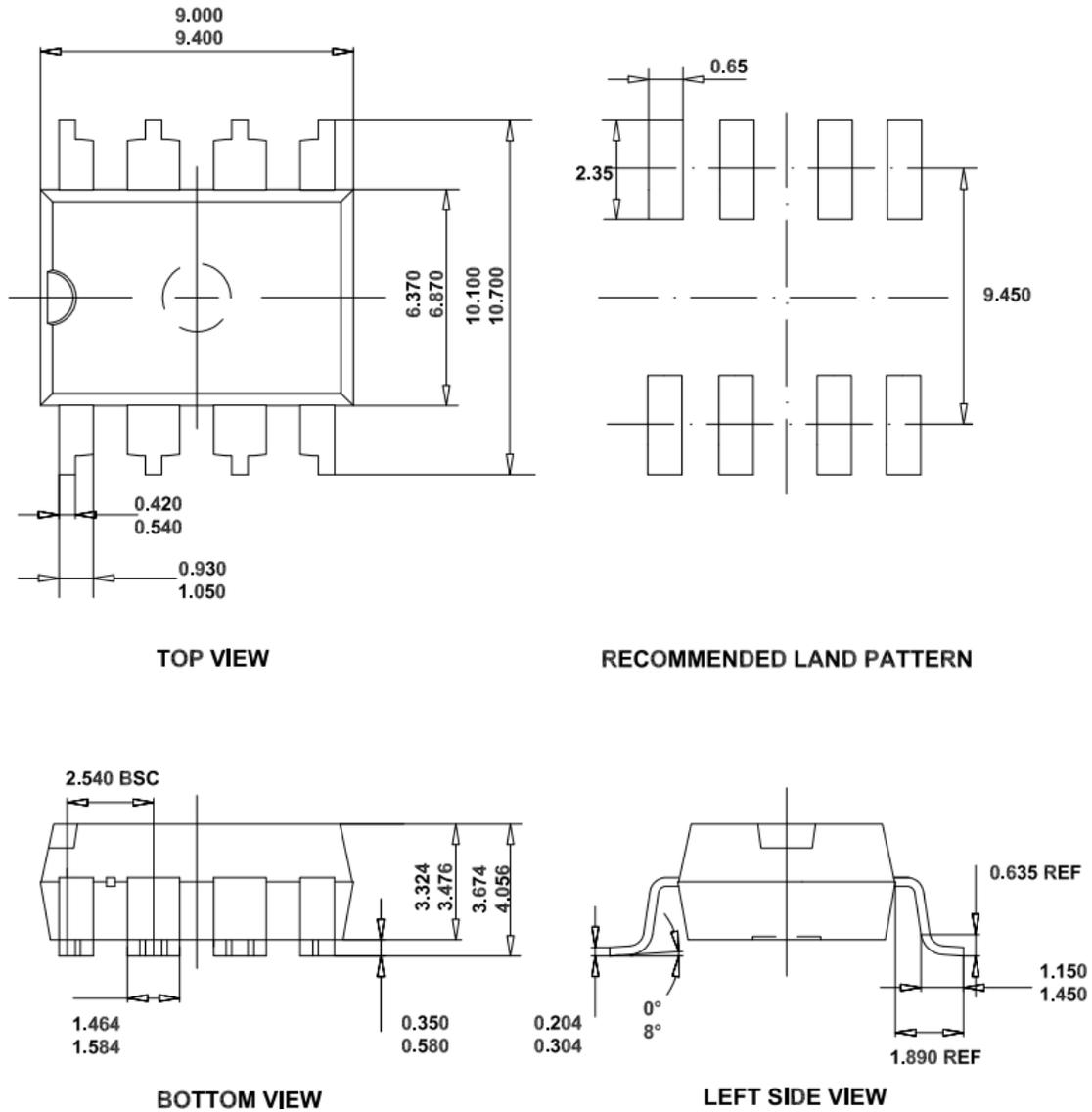


图 11-2 DUB8 外形尺寸

SOIC16-WB 外形尺寸

下图说明了 CA-IS305xC 系列隔离式 CAN 收发器采用 SOIC16-WB 封装大小尺寸图和建议焊盘尺寸图。尺寸以毫米为单位。

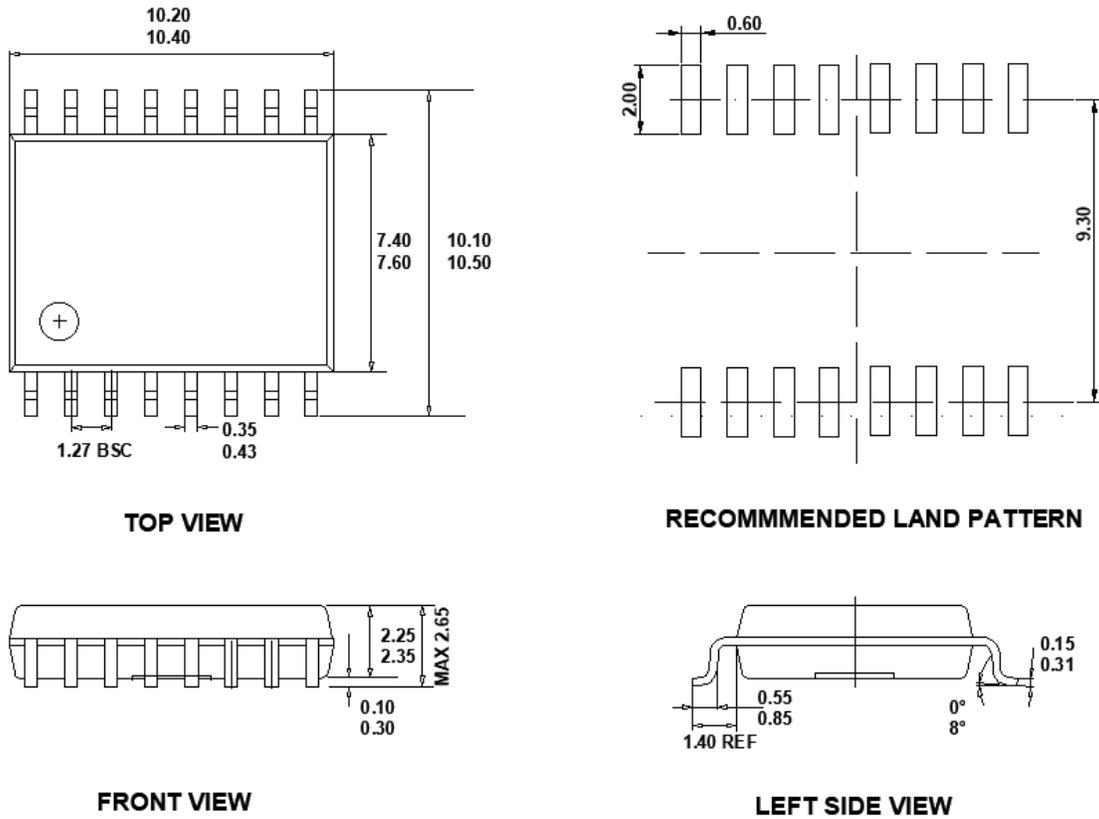


图 11-3 SOIC16-WB 外形尺寸

12 焊接信息

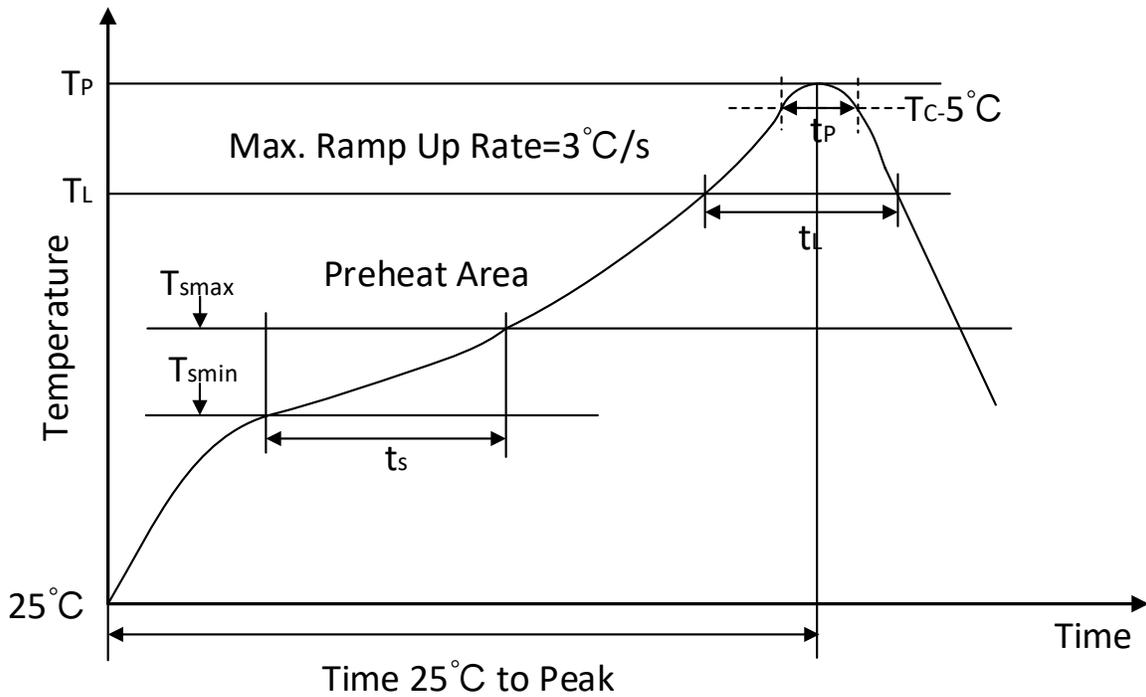
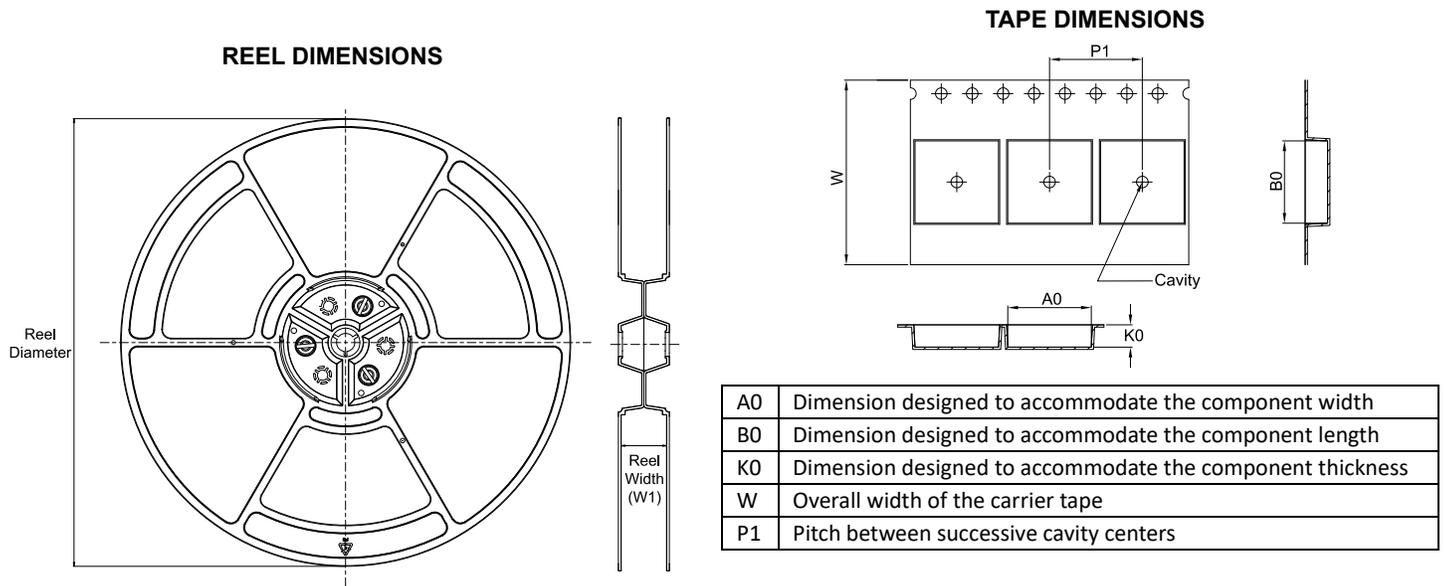


图 12- 1 焊接温度曲线

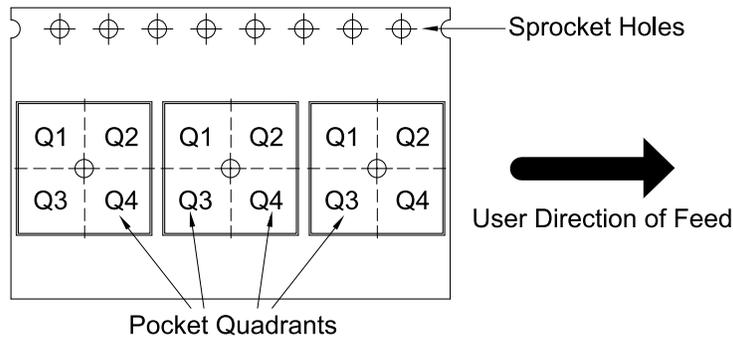
表 12- 1 焊接温度参数

Profile Feature	Pb-Free Assembly
Average ramp-up rate(217 °C to Peak)	3°C/second max
Time of Preheat temp(from 150 °C to 200 °C)	60-120 second
Time to be maintained above 217 °C	60-150 second
Peak temperature	260 +5/-0 °C
Time within 5 °C of actual peak temp	30 second
Ramp-down rate	6 °C/second max.
Time from 25°C to peak temp	8 minutes max

13 卷带信息



QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CA-IS3050CW	SOIC	W	16	1000	330	16.4	10.90	10.70	3.20	12.00	16.00	Q1
CA-IS3050CG	SOIC	G	8	1000	330	16.4	11.95	6.15	3.20	16.00	16.00	Q1
CA-IS3052CW	SOIC	W	16	1000	330	16.4	10.90	10.70	3.20	12.00	16.00	Q1
CA-IS3052CG	SOIC	G	8	1000	330	16.4	11.95	6.15	3.20	16.00	16.00	Q1
CA-IS3050CU	DUB	U	8	800	330	24.4	10.90	9.60	4.30	16.00	24.00	Q1

14 重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

Chipanalog 产品全部经过出厂测试。针对具体的实际应用，客户需负责自行评估，并确定是否适用。Chipanalog 对客户使用所述资源的授权仅限于开发所涉及 Chipanalog 产品的相关应用。除此之外不得复制或展示所述资源，如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，Chipanalog 对此概不负责。

商标信息

Chipanalog Inc.®、Chipanalog®为 Chipanalog 的注册商标。



<http://www.chipanalog.com>